

Method for controlling two or more transistors wired in parallel to supply current to a load in a linear operation splits turn-on times for the transistors into time intervals.

Publication number: DE10045148

Publication date: 2002-03-28

Inventor: TRINSCHKEK MARTIN (DE)

Applicant: HELLA KG HUECK & CO (DE)

Classification:

- international: H03K17/0812; H03K17/12; H03K17/16; H03K17/041;
H03K17/08; H03K17/12; H03K17/16; H03K17/04;
(IPC1-7): H03K17/08; G05F1/10; H03K17/16

- european: H03K17/0812B; H03K17/12B; H03K17/16B4B2

Application number: DE20001045148 20000913

Priority number(s): DE20001045148 20000913

Report a data error here

Abstract of DE10045148

Turn-on times for two or more transistors (T1,T2) are split into time intervals (I1,I2). Controllers (OP1,OP2) connected in series control a load current. A microprocessor operating control generates desired values (US1,US2). Trapezoidal control voltages create leading and trailing edges and an overlap interval in the desired values. The edges are selected to ensure a smooth transition in a load current (IL) between the transistors.

Data supplied from the **esp@cenet** database - Worldwide

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 100 45 148 A 1**

⑤1 Int. Cl.⁷:
H 03 K 17/08
H 03 K 17/16
G 05 F 1/10

②1 Aktenzeichen: 100 45 148.9
②2 Anmeldetag: 13. 9. 2000
④3 Offenlegungstag: 28. 3. 2002

DE 100 45 148 A 1

⑦1 Anmelder:
Hella KG Hueck & Co., 59557 Lippstadt, DE

⑦2 Erfinder:
Trinschek, Martin, 59067 Hamm, DE

⑤6 Für die Beurteilung der Patentfähigkeit in Betracht
zu ziehende Druckschriften:

EP 06 64 613 A2
WO 86 04 164 A1
WO 01 13 519 A1

JP 09204230 A., In: Patent Abstracts of Japan;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

- ⑤4 Verfahren zur Ansteuerung von zwei oder mehr parallelgeschalteten Transistoren zur Bestromung einer Last im Linearbetrieb
- ⑤7 Beschrieben wird ein Verfahren zur Ansteuerung von zwei oder mehreren parallelgeschalteten Transistoren zur Bestromung einer Last im Linearbetrieb, wobei die Einschaltzeiten der Transistoren in Zeitintervalle unterteilt sind und wobei in jedem Zeitintervall höchstens nur jeweils ein Transistor den vollen Laststrom trägt und beim Übergang zwischen zwei Zeitintervallen die beteiligten Transistoren den Laststrom fließend voneinander übernehmen.

DE 100 45 148 A 1

BEST AVAILABLE

Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zur Ansteuerung von zwei oder mehr parallelgeschalteten Transistoren zu Bestromung einer Last im Linearbetrieb.

[0002] Soll eine leistungsstarke Last mit einer linearen Ansteuerung betrieben werden, kann die Verlustleistung an der anzusteuernenden Leistungsstufe so groß werden, daß die zulässige Verlustleistung eines einzigen Halbleiterschalters überschritten wird. In diesem Fall werden mehrere Leistungshalbleiter parallelgeschaltet.

[0003] Ein Weg, beim Parallelbetrieb von MOS-Transistoren eine gleichmäßige Belastung sicherzustellen, ist üblicherweise die Selektion des Parameters Gate threshold voltage U_{GS} . Nachteil bei dieser Selektion ist der negative Temperaturkoeffizient des Parameters U_{GS} . Falls die Parallelschaltung das thermische Gleichgewicht verläßt (Toleranzen bei der Selektion, ungleichmäßige Kühlung usw.), übernimmt der wärmere Transistor einen höheren Anteil des Laststromes und wird dabei immer wärmer, was zu einer weiteren Temperaturerhöhung und schließlich zu einer Überlastung führt.

[0004] Es ist die Aufgabe der Erfindung ein Verfahren zur Ansteuerung von zwei oder mehr parallelgeschalteten Transistoren zu schaffen, welches die vorgenannten Nachteile vermeidet.

[0005] Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß die Einschaltzeiten der Transistoren in Zeitintervalle unterteilt sind, wobei in jedem Zeitintervall höchstens nur jeweils ein Transistor den vollen Laststrom trägt und daß beim Übergang zwischen zwei Zeitintervallen die beteiligten Transistoren den Laststrom fließend voneinander übernehmen.

[0006] Bei dem hier vorgestellten Verfahren wird abwechselnd immer nur ein Transistor für eine kurze Zeit aktiviert und übernimmt den vollen Laststrom. Die Stromübernahme durch die einzelnen Transistoren geschieht in einer Art und Weise, die den resultierenden Laststrom durch die Verbraucher linearisiert. Im folgenden soll ein Ausführungsbeispiel des erfindungsgemäßen Verfahrens anhand der Zeichnung dargestellt und näher erläutert werden.

[0007] Die einzige Figur zeigt einen Ausschnitt aus einer Prinzipschaltung zum Betrieb zweier Transistoren, die gemäß des erfindungsgemäßen Verfahrens angesteuert werden.

[0008] Bei der Parallelschaltung von Transistoren ist eine gleichmäßige Belastung der Einzeltransistoren schwierig sicherzustellen, da die einzelnen Transistoren durch die Streuung der einzelnen Parameter (z. B. Gate threshold voltage U_{GS} , Forward transconductance g_{fs}) unterschiedliche Übertragungskennlinien haben. Bei dem hier vorliegenden Verfahren wird die gleichmäßige Belastung dadurch gewährleistet, daß in einem Intervall (I1, I2) immer nur ein Transistor leitend ist und damit den Laststrom übernimmt. In dem Realisierungsbeispiel übernimmt der Transistor T1 im Intervall I1, der Transistor T2 im Intervall I2 den Laststrom.

[0009] Die Regelung des Laststromes erfolgt mit den vorgeschalteten Reglern OP1 und OP2. Die Generierung der Sollgröße US1 und US2 erfolgt in einer vorgeschalteten, nichtdargestellten Ablaufsteuerung, die z. B. in Form eines Mikroprozessors realisiert werden kann. Die Anstiegs- und Abfallflanken sowie das Überlappingsintervall der Sollgrößen US1 und US2, hier beispielhaft durch trapezförmige Steuerspannungen realisiert, sind so gewählt, daß eine fließende Übernahme des Laststromes IL zwischen T1 und T2 gewährleistet ist und der an der Last RL resultierende Laststrom IL konstant ist. Durch die Vermeidung schneller Schaltflanken kann die Erzeugung von Störimpulsen gering

gehalten werden (Sicherstellung der EMV-Verträglichkeit). Die Periodendauer T der getakteten Ansteuerung ist so gewählt, daß sich der gerade leitende Transistor (T1 bzw. T2) in dem Intervall (I1 bzw. I2) nicht zu stark erwärmt. Die Taktfrequenz der Ansteuerung kann dabei vorteilhaft in der Größenordnung von 100 Hz vorgesehen sein. Der resultierende Strom durch die Last ist in der Summe ein Gleichstrom.

Bezugszeichen

I1, I2 Zeitintervalle
IL1, IL2 Teillastströme
IL Laststrom
T1, T2 Transistoren
OP1, OP2 Regler
RL Last
US1, US2 Steuerspannungen (Sollgrößen)

Patentansprüche

1. Verfahren zur Ansteuerung von zwei oder mehr parallelgeschalteten Transistoren (T1, T2) zur Bestromung einer Last (RL) im Linearbetrieb, **dadurch gekennzeichnet**, daß die Einschaltzeiten der Transistoren (T1, T2) in Zeitintervalle (I1, I2) unterteilt sind, wobei in jedem Zeitintervall (I1 bzw. I2) höchstens nur jeweils ein Transistor (T1 bzw. T2) den vollen Laststrom (IL) trägt und daß beim Übergang zwischen zwei Zeitintervallen (I1, I2) die beteiligten Transistoren (T1, T2) den Laststrom (IL) fließend voneinander übernehmen.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß beim Übergang zwischen zwei Zeitintervallen der Laststrom (IL), das heißt die Summe der Teillastströme (IL1, IL2) durch die Transistoren (T1, T2), konstant ist.
3. Verfahren nach Anspruch 1 dadurch gekennzeichnet, daß eine Ablaufsteuerung die Steuereingänge der Transistoren (T1, T2) mittels trapezförmiger Steuerspannungen (US1, US2) ansteuert.

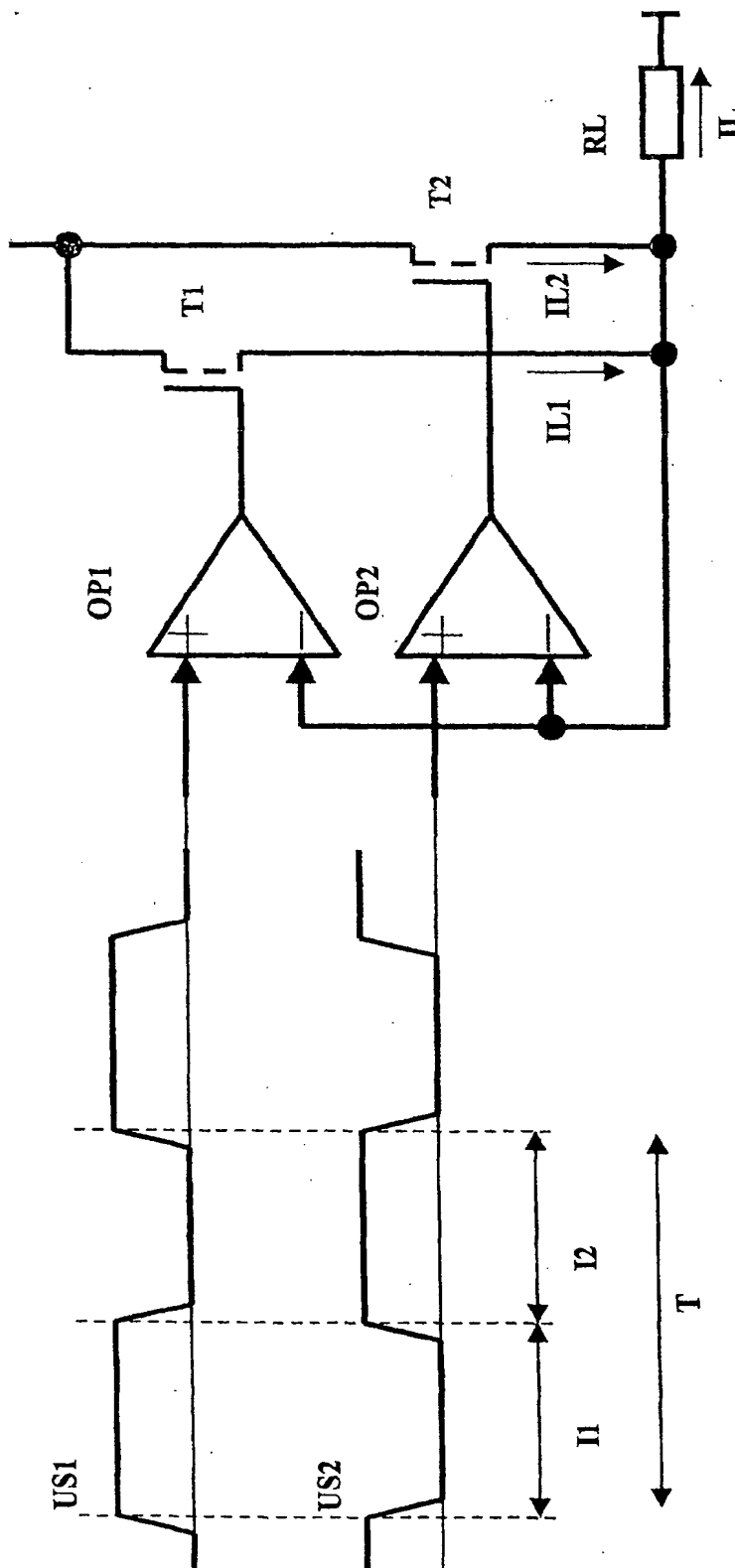
Hierzu 1 Seite(n) Zeichnungen

BEST AVAILABLE COPY



- Leerseite -

BEST AVAILABLE COPY



BEST AVAILABLE COPY